

#3 | PRIORITY  
PAPER  
7-9-01  
R Stiles



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Takeo MATSUKI et al.

Serial No. (unknown)

Filed herewith

SEMICONDUCTOR DEVICE STRUCTURE  
AND METHOD FOR MANUFACTURING  
THE SAME

**CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119**  
**AND SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicants' corresponding patent application filed in Japan on January 25, 2000, under No. 2000-015215.

Applicants herewith claim the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By

Robert J. Patch  
Attorney for Applicants  
Customer No. 000466  
Registration No. 17,355  
745 South 23rd Street  
Arlington, VA 22202  
Telephone: 703/521-2297

January 25, 2001

05P-10057-59

45

PTO  
US  
JC903  
09/764880

01/22/01

日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2000年 1月 25日

出願番号  
Application Number:

特願2000-015215

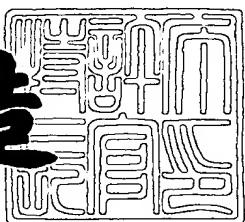
出願人  
Applicant(s):

日本電気株式会社

2000年 9月 29日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3080043

【書類名】 特許願  
【整理番号】 74111415  
【提出日】 平成12年 1月25日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/00  
【発明者】  
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内  
【氏名】 松木 武雄  
【発明者】  
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内  
【氏名】 高石 芳宏  
【特許出願人】  
【識別番号】 000004237  
【氏名又は名称】 日本電気株式会社  
【代理人】  
【識別番号】 100088812  
【弁理士】  
【氏名又は名称】 ▲柳▼川 信  
【手数料の表示】  
【予納台帳番号】 030982  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の構造及びその製造方法

【特許請求の範囲】

【請求項1】 シリコン基板上に設けられた第1層間絶縁膜にコンタクト孔を開口し、前記コンタクト孔にSiを埋め込んでプラグとしたコンタクトプラグを含む半導体装置の構造であって、前記シリコンプラグ上端に自己整合的に形成されかつその径が前記コンタクト孔の径より大きいシリサイドのパットを有し、前記シリサイドのパッドの上面が前記第1層間絶縁膜の上面より上方にあるよう構成したことを特徴とする半導体装置の構造。

【請求項2】 前記シリサイドのパットは、高融点金属シリサイドであることを特徴とする請求項1記載の半導体装置の構造。

【請求項3】 前記高融点金属シリサイドは、チタンシリサイド及びコバルトシリサイドの一方であることを特徴とする請求項2記載の半導体装置の構造。

【請求項4】 シリコン基板上に設けられた第1層間絶縁膜にコンタクト孔を開口し、前記コンタクト孔にSiを埋め込んでプラグとしたコンタクトプラグを含む半導体装置の製造方法であって、前記シリコン基板上の第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜に前記コンタクト孔を開口する工程と、前記コンタクト孔にSiプラグを埋め込む工程と、前記シリコンプラグ上端に自己整合的に形成されかつその径が前記コンタクト孔の径より大きいシリサイドのパットを形成する工程とを有し、前記シリサイドのパッドの上面が前記第1層間絶縁膜の上面より上方にあるようにしたことを特徴とする半導体装置の製造方法。

【請求項5】 前記シリサイドのパットを形成する工程は、少なくとも前記コンタクトプラグ表面近傍の絶縁膜をSiと選択的に一部除去しプラグとが突き出すようにする工程と、高融点金属を成膜する工程と、それを熱処理してシリサイド化する工程と、シリサイド化されなかった前記高融点金属及び前記高融点金属と熱処理雰囲気ガスとの化合物を除去する工程とからなることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記高融点金属は、少なくともTi及びコバルトの一方であ

ることを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の構造及びその製造方法に関し、特にシリコンLSI（大規模集積回路の構造とその製造方法）に関するものである。

【0002】

【従来の技術】

従来、シリコンLSIにおいては、スケーリング則によるその設計ルールの縮小によってその性能及び機能を向上させてきている。その製造歩留まりの向上のためには、配線・コンタクト技術の向上が不可欠である。

【0003】

シリコンLSIにおいては、シリコン基板の表面上に選択的に配置された複数のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 等の素子を配線コンタクトプラグで結合することで、所望の電子回路を構成している。

【0004】

また、複雑な回路を実現するために、配線は層間絶縁膜を介して多層構造で、その各階層の配線を電気伝導性の物質で充填したコンタクト孔で接続した構造になっている。その接続部分で所定の位置にコンタクト孔が得られない場合には、回路のオープン不良となる。さらに、接触面積が小さい場合、コンタクト抵抗が増大し、回路性能の劣化につながる。そこで、可能な限りコンタクト抵抗を減少させ、かつ集積化することが望まれている。

【0005】

まず、多層化した配線において、半導体基板と上層の配線とを接続する構造の簡単な例を図5を参照して説明する。図5(a)は第1のコンタクトプラグ24と第2のコンタクトプラグ26とを直接接続する方法を示している。

【0006】

図5(a)において、半導体基板21上には素子分離絶縁膜22と、第1層間

絶縁膜23と、第1のコンタクトプラグ24と、第2層間絶縁膜25と、第2のコンタクトプラグ26とが配置されている。

#### 【0007】

そこで、第1のコンタクトプラグ24上端に第2のコンタクトプラグ26の下端が接触することで、第1のコンタクトプラグ24と第2のコンタクトプラグ26とが直接接続されている。第1のコンタクトプラグ24と第2のコンタクトプラグ26との間には距離A1だけずれが生じている。このずれは機械的誤差によって発生したものである。

#### 【0008】

図5(b)は第1のコンタクトプラグ34の上端と第2のコンタクトプラグ37の下端との接触界面に電気伝導性のパット35を挿入することで、第1のコンタクトプラグ34と第2のコンタクトプラグ37とを接続する方法を示している。

#### 【0009】

図5(b)において、半導体基板31上には素子分離絶縁膜32と、第1層間絶縁膜33と、第1のコンタクトプラグ34と、第2層間絶縁膜36と、第2のコンタクトプラグ37とが配置されている。第1のコンタクトプラグ34とパット35との間には距離A2のずれが生じている。また、パット35と第2のコンタクトプラグ37との間にも距離A3のずれが生じている。これらのずれは、図5(a)に示す例と同様に、機械的誤差によって発生したものである。

#### 【0010】

第1のコンタクトプラグ34の上端と第2のコンタクトプラグ37の下端との接触界面に挿入されるパット35の投影面積は下層のコンタクト孔より大きい。このパット35は第1のコンタクトプラグ34の形成後、パット35の材料膜を成膜し、露光技術を用いて加工形成している。アライメントマージンはシリサイドパッド寸法とコンタクトプラグ寸法との差分の半分だけ拡大する。

#### 【0011】

図5(c)はコンタクト孔を形成せず、第2のコンタクト孔を第2層間絶縁膜44の表面から半導体基板41まで貫通させて一つのコンタクトプラグ45とす

る方法を示している。

#### 【0012】

図5(c)において、半導体基板41上には素子分離絶縁膜42と、第1層間絶縁膜43と、第2層間絶縁膜44と、コンタクトプラグ45とが配置されている。

#### 【0013】

図5(c)に示す方法の他の例としては、従来よく知られているコンタクトプラグ構造のDRAM(Dynamic Random Access Memory)のメモリセルがある。断面構造の一例を図6を用いて説明する。この例ではビット線または信号線と呼ばれる信号呼出し用の配線が、電荷蓄積容量より下層にある構造になっている。

#### 【0014】

P型シリコン基板表面に選択的に形成された素子分離絶縁膜52と、MOSFETとが形成され、シリコン酸化のゲート絶縁膜を介してn型の伝導型のポリシリコンのゲート電極53が配置されている。ゲート電極53の左右の基板表面にはソースドレイン51となる不純物高濃度領域が形成されている。

#### 【0015】

以上の素子分離絶縁膜52及びMOSFETを覆って第1層間絶縁膜56が形成されている。上記のソースドレイン領域と第1層間絶縁膜56上に形成されている第1の配線層とを接続するためのポリシリコンプラグ54, 55が設けられている。第1層間絶縁膜56上のビット配線57はタンクステンシリサイドである。このビット配線57を覆って第2の層間絶縁膜58と第2のコンタクトプラグ及び蓄積容量(蓄積電極59及び容量膜60)とが形成されている。

#### 【0016】

##### 【発明が解決しようとする課題】

上述した従来のシリコンLSIでは、図5(a)に示す方法の場合、マスクアライメント精度が機械精度に強く依存し、それが完全になくなることはない。アライメントがコンタクトプラグ径の半分以上ずれた場合には接触面積が減少することがあり、その場合にはコンタクト抵抗の増大になる。

## 【0017】

したがって、第1のコンタクトプラグが形成されている位置に第2のコンタクト孔を開口させる時点で、マスクアライメントがコンタクトプラグの径以上にずれると不良が発生する。また、そのずれはコンタクト抵抗の増大を招いてしまう。

## 【0018】

また、図5（b）に示す方法の場合にはパットを配置するためにマスクプロセスを用いると、アライメント精度に左右されるようになるため、コンタクトプラグの位置とパットの位置とでアライメントのずれが生じる。

## 【0019】

さらに、図5（c）に示す方法の場合にはコンタクト孔が深くなると、その開口におけるドライエッチングの面内均一性を考慮してエッチング時間を過剰に設定する。そのため、基板内で基板シリコンがコンタクトプラグ位置で電気特性に影響が出るほどに除去されてしまうので、コンタクト孔形成を精度よく形成することが困難になるという問題がある。この場合、コンタクトプラグ径が小さく、その深さが深い場合、つまりアスペクト比が大きい場合にはスループットの低下、コンタクト抵抗の増大を招いてしまう。

## 【0020】

高アスペクト比のコンタクト孔にプラグ材料であるシリコンを充填しようとすると場合、CVD（Chemical Vapor Deposition）法が適当であるが、その場合でも空間での粒子の平均自由行程を考慮すると、原料ガスの供給量を低下させなければ、コンタクト孔内にシリコンが完全に充填されず、孔内にボイドまたはシームが生じる。原料供給量を低下させれば、スループットが低下する。

## 【0021】

そこで、本発明の目的は上記の問題点を解消し、不良の発生やコンタクト抵抗の増大を招くことなく、コンタクトプラグの接続不良を少なくすることができる半導体装置の構造及びその製造方法を提供することにある。

## 【0022】

## 【課題を解決するための手段】

本発明による半導体装置の構造は、シリコン基板上に設けられた第1層間絶縁膜にコンタクト孔を開口し、前記コンタクト孔にSiを埋め込んでプラグとしたコンタクトプラグを含む半導体装置の構造であって、前記シリコンプラグ上端に自己整合的に形成されかつその径が前記コンタクト孔の径より大きいシリサイドのパットを備え、前記シリサイドのパッドの上面が前記第1層間絶縁膜の上面より上方にあるよう構成している。

## 【0023】

本発明による半導体装置の製造方法は、シリコン基板上に設けられた第1層間絶縁膜にコンタクト孔を開口し、前記コンタクト孔にSiを埋め込んでプラグとしたコンタクトプラグを含む半導体装置の製造方法であって、前記シリコン基板上の第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜に前記コンタクト孔を開口する工程と、前記コンタクト孔にSiプラグを埋め込む工程と、前記シリコンプラグ上端に自己整合的に形成されかつその径が前記コンタクト孔の径より大きいシリサイドのパットを形成する工程とを備え、前記シリサイドのパッドの上面が前記第1層間絶縁膜の上面より上方にあるようにしている。

## 【0024】

すなわち、本発明の半導体装置の構造は、Siをプラグにしたコンタクトプラグを有する半導体装置において、シリコン基板上の第一層間絶縁膜に設けられたコンタクト孔に埋め込まれたシリコンプラグの上端に自己整合的に形成されたシリサイドのパットを配置し、そのシリサイドがコンタクト孔より大きい径を有しがつそのパットの上面が第1層間絶縁膜の上面より上方にあるようにしている。

## 【0025】

本発明の半導体装置の構造は、上記のシリサイドがチタンシリサイドまたはコバルトシリサイド等の高融点金属シリサイドであるようにしている。

## 【0026】

本発明による半導体装置の製造方法は、シリコン基板上の層間絶縁膜を形成する工程と、層間絶縁膜にコンタクト孔を開口する工程と、そのコンタクト孔にSiプラグを埋め込む工程と、少なくともコンタクトプラグ表面付近の絶縁膜をS

iと選択的に一部除去しプラグが突き出すようにする工程と、Tiまたはコバルト等高融点金属を成膜する工程と、それを熱処理してシリサイド化する工程と、シリサイド化されなかった高融点金属または高融点金属と熱処理雰囲気ガスとの化合物を除去する工程とを有している。

## 【0027】

より具体的に、本発明はシリコンを代表とする半導体基板表面にトランジスタ等の能動素子、抵抗、容量素子等の受動素子を集積配置した半導体集積回路において、素子間を接続する配線と絶縁膜で分離された配線層間、配線と基板との間を接続する技術に関するものである。特に、半導体基板と上層の配線層との接続方法に関するものである。

## 【0028】

P型またはN型の伝導型を用いかつその基板の比抵抗が必要に応じて選択可能なシリコン基板の表面に不純物を選択的に導入し、部分的に電動型を選択することも、従来、ウェル形成として行われている。基板表面は選択的に素子分離のためのシリコン酸化膜等の絶縁膜が配置されている。

## 【0029】

この半導体装置ではMOSFETに代表される能動素子が素子分離の間に配置されている。素子分離及びトランジスタ等の表面に配置された素子を覆って、第1層間絶縁膜が配置されている。第1層間絶縁膜上には第1の配線が配置されている。

## 【0030】

第1層間絶縁膜上には配線のみならず、その上層に存在する第2層間絶縁膜に隔てられた第2の配線に接続するコンタクトプラグと下層のコンタクトプラグとを接続するためのパットが自己整合的にコの字形に配置されている。このパットは金属とシリコンとの化合物（シリサイド）である。

## 【0031】

これによって、ポリシリコンプラグの上端に形成されたシリサイドパットはプラグより大きな投影面積を有するため、このシリサイド上に接続されるコンタクトプラグの配置において、シリサイドパットがない場合に比べ、はみ出したぶん

だけ設計の自由度の拡大につながる。

#### 【0032】

また、第1のコンタクトプラグの上端部に形成されたシリサイドパッドが自己整合的に配置されるために、第1のコンタクトプラグに対してアライメントずれがなく、かつ第2のコンタクトプラグに対してもアライメントマージンがあるため、第1のコンタクトプラグと第2のコンタクトプラグとの接続不良を少なくすることが可能となる。

#### 【0033】

##### 【発明の実施の形態】

次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例による半導体装置の構成を示す断面図である。ここでは、説明の簡単化のため、半導体基板上に形成される集積回路のうちの本発明にかかわる部分に着目して説明する。

#### 【0034】

図1において、P型シリコン基板1上には選択的に形成されたシリコン酸化膜の素子分離及びN型不純物が高濃度に添加されたn型高濃度拡散層2が形成されている。素子分離された表面には第1層間絶縁膜3としてシリコン酸化膜〔CVD酸化膜、BPSG (Boro-phospho-silicate-glass) 膜等〕が配置される。膜厚は500nmから1.5μm程度である。ここでは500nmとする。

#### 【0035】

上述したn型高濃度拡散層2上にはポリシリコンプラグ(n型)4が配置されている。このポリシリコンには十分にn型不純物がドープされている。例えば、 $1 \sim 5 \times 1.020 \text{ cm}^{-3}$ 程度の濃度であるとよい。この不純物濃度が低い場合、ポリシリコンプラグ4と接している下層及び上層のシリサイドとの界面で電気的障壁としてショットキー障壁が形成され、接触抵抗が増大する。

#### 【0036】

このポリシリコンプラグ4の上面の端部にはチタンシリサイド(TiSi<sub>2</sub>)のシリサイドパット5がポリシリコンプラグ4に対して自己整合的にコの字形に

配置されている。シリサイドパット5を形成する高融点金属はチタンのほかにコバルト、タングステン、モリブデン、タンタルでもよい。

#### 【0037】

また、シリサイドパット5の幅はポリシリコンプラグ4の幅よりも大きいことが特徴である。第1層間絶縁膜3及びシリサイドパット5を覆って第2層間絶縁膜6が配置されている。シリサイドパッド5上にはバリア膜を介してタングステンで充填されたタングステンプラグ7が配置されている。第2層間絶縁膜上にはタングステンプラグ7に接続されてアルミと銅との合金で形成された配線8が形成されている。

#### 【0038】

ポリシリコンプラグ4の上端に形成されたシリサイドパット5はポリシリコンプラグ4より大きな投影面積を有しているため、このシリサイドパッド5上に接続されるタングステンプラグ7の配置において、シリサイドパッド5がない場合に比べ、はみ出したぶんだけ設計の自由度の拡大につながる。

#### 【0039】

ポリシリコンプラグ4の上端部に形成されたシリサイドパッド5が自己整合的に配置されるため、ポリシリコンプラグ4に対してアライメントずれがなく、かつタングステンプラグ7に対してもアライメントマージンがあるため、ポリシリコンプラグ4とタングステンプラグ7との接続不良が少なくなる。

#### 【0040】

図2及び図3は本発明の一実施例による半導体装置の製造工程を示す断面図である。これら図2及び図3を参照しては本発明の一実施例による半導体装置の製造方法について説明する。

#### 【0041】

P型シリコン基板11には、従来よく知られている方法で、シリコン酸化膜の素子分離絶縁膜13が形成される。その方法としてはLOCOS (Local Oxidation of Silicon) 法またはトレンチ分離法がある。

#### 【0042】

MOSFETが必要な場合には、従来よく知られている方法で、ゲート絶縁膜

を介してポリシリコンのゲート電極14を形成する。トランジスタの短チャネル化に対策するべく、ゲートにシリコン酸化膜またはシリコン窒化膜の側壁膜を形成する。その成膜方法はCVD法が適当である。側壁膜の膜厚は必要に応じて30~100nm程度とする。

#### 【0043】

N型不純物となる元素イオン（例えば、AsやP等）をイオン注入法で、P型シリコン基板11に導入し、基板表面にN型高濃度不純物領域を形成する。これによって、ゲート電極14をはさんでソースドレイン領域12が同時に形成される。

#### 【0044】

イオン注入後、窒素雰囲気中で、熱処理し、P型シリコン基板11中に導入された不純物の電気的活性化と結晶欠陥の回復とを行う。熱処理温度は700~900°Cが好ましく、ここでは800°Cとする【図2(a)参照】。

#### 【0045】

続いて、第1層間絶縁膜15として、オゾンを酸化剤としてCVD法でBPSG膜を300~1000nm成膜する。膜中水分の拡散を防ぐために、下層にCVD法でシリコン酸化膜を成膜して2層構造としてもよい。

#### 【0046】

レジストマスクを用いてコンタクト孔を上記の高濃度不純物層（ソースドレン領域12）上になるように開口形成する。コンタクト孔形成に用いたレジストマスクを除去した後、ポリシリコン膜16を前面にCVD法で成膜する。

#### 【0047】

この時、同時にリンや砒素等を膜中に導入するとよい。CVDの反応容器内に、原料ガスとともに水素化リンや水素化砒素等のガスを導入することで、膜中にリンや砒素を導入することが可能である。成膜膜厚はコンタクト孔の開口半径よりも大きな値とするのがよい。

#### 【0048】

ポリシリコン膜16に不純物を導入する方法には、ほかにイオン注入及び熱拡散がある。イオン注入の場合には不純物をポリシリコン膜16全体に均等に分布

させるためにイオンを複数回注入し、750°C以上の温度で熱処理するのがよい  
【図2 (b) 参照】。

#### 【0049】

ポリシリコン膜16をドライエッチングによってエッチバックすることで、ポリシリコン膜16は、図2(c)に示すように、第1層間絶縁膜15に埋め込まれ、ポリシリコンプラグ17となる(図中の点線が第1層間絶縁膜15の表面)。

#### 【0050】

第1層間絶縁膜15の表面からシリコン酸化膜を選択的に除去する、除去する層の厚みは20~100nmがよく、例えば50nmとする。除去する方法にはふつ酸水溶液、アンモニアや酢酸で緩衝されたふつ酸水溶液が適当である。ドライエッチングによってポリシリコンの突起部を形成する場合、C4F8等の比較的シリコンと選択性が確保できるガス系を用いたプロセスを用いるのがよい【図2(c) 参照】。

#### 【0051】

この後に、スパッタ法によってチタン(Ti)18を成膜する。チタン18の膜厚は20~50nm程度がよく、ここではチタン18を30nmとする。尚、チタンに代えて、コバルト、タングステン、モリブデン、タンタルを成膜することもよい【図3(a) 参照】。

#### 【0052】

さらに、窒素雰囲気中でRTA(Rapid Thermal Anneal in g)法によってチタン18を650°Cに加熱する。チタン18はシリコンと反応し、チタンシリサイド(TiSi<sub>2</sub>)を形成してシリサイドパッド19となる。この時、シリサイドパット19とプラグとの界面は、第1層間絶縁膜15の上面と同一、または下方の位置に存在してもよい。そして、どの場合でもプラグからパッド端までの距離は対称となる。

#### 【0053】

この時、チタン18はシリコン及び窒素と反応し、チタンシリサイド及び窒化チタンを形成する。熱処理条件によっては未反応のチタンが残留することもある

。ここで、反応雰囲気をアルゴン（A r）のような不活性ガスとした場合、シリサイドと余剰の金属が残る。

#### 【0054】

チタンシリサイドに対して選択比の高い方法で、加熱工程で窒化されたTiNとシリサイド化反応に寄与しなかったチタンとを除去する。これにはアンモニアと過酸化水素との水溶液がよい。また、コバルトシリサイドを形成し、余剰のコバルト及び窒化物を除去する場合には、塩酸と過酸化水素との混合水溶液がよい  
[図3（b）参照]。

#### 【0055】

これらの上に第2層間絶縁膜20としてBPSG膜を500nm程度成膜する。第2層間絶縁膜20に対しては第2のコンタクト孔を、よく知られているフォトリソグラフィー技術及びドライエッチング技術によって開口する。密着層とシリコンに対するバリア膜として窒化チタンをスパッタ成膜し、タングステンプラグ21とする。この上にタングステンをCVD法で成膜し、第2配線（タングステン）22とする。

#### 【0056】

上述した本発明の一実施例による半導体装置の製造方法は、シリコンLSI全般の配線接続工程に利用することができる。

#### 【0057】

本発明の一実施例による半導体装置の製造方法では、シリサイドパッド5, 19の位置がポリシリコンプラグ18と自己整合的に決定する。このため、上記のような効果が期待できる。その上、このシリサイドパット5, 19を形成するためのマスクが不要であり、工程の短縮につながる。

#### 【0058】

マスクを用いる場合には、プラグ投影面からのはみ出し領域がマスクアライメントのずれによって非対称になるが、本発明ではその自己整合性によって対称になる。このことによって、図3に示すようなコンタクトプラグが複数隣接するような場合、または配線が隣接するような場合でも、ミスマーチメントによるショートの可能性を低減することができる。

## 【0059】

図4は本発明の他の実施例による半導体装置の構成を示す断面図である。図4において、本発明の他の実施例による半導体装置ではポリシリコンプラグ4とタンゲステンプラグ7とを接続するためのシリサイドパット5aがコの字型にならない場合の例を示している。

## 【0060】

すなわち、ポリシリコンプラグ4上端のシリサイドパット5aは、図4に示すように、コの字型をしていない場合もある。ポリシリコンプラグ4とシリサイドパット5aとの界面が第1層間絶縁膜3の上面と同一面、またはそれより下方に存在してもよい。この場合、ポリシリコンプラグ4の側面位置からのはみ出し量が対称になっていることが特徴である。図5に示す例の場合、上記のように、自己整合的に配置されないことから、機械的誤差範囲でのずれが生ずる。つまり、断面で見ると、プラグからパッド端間での距離が非対称になる。本発明では自己整合的に配置することで、そのはみ出し量の非対称性が幾何的には生じない。

## 【0061】

## 【発明の効果】

以上説明したように本発明によれば、シリコン基板上に設けられた第1層間絶縁膜にコンタクト孔を開口し、コンタクト孔にSiを埋め込んでプラグとしたコンタクトプラグを含む半導体装置の構造において、その径がコンタクト孔の径より大きいシリサイドのパットをシリコンプラグ上端に自己整合的に形成し、そのシリサイドのパッドの上面が第1層間絶縁膜の上面より上方にあるようにすることによって、不良の発生やコンタクト抵抗の増大を招くことなく、コンタクトプラグの接続不良を少なくすることができるという効果がある。

## 【図面の簡単な説明】

## 【図1】

本発明の一実施例による半導体装置の構成を示す断面図である。

## 【図2】

(a)～(c)は本発明の一実施例による半導体装置の製造工程を示す断面図である。

【図3】

(a)～(c)は本発明の一実施例による半導体装置の製造工程を示す断面図である。

【図4】

本発明の一実施例による半導体装置の構成を示す断面図である。

【図5】

(a)～(c)は従来の半導体基板と上層の配線とを接続する構造を示す図である。

【図6】

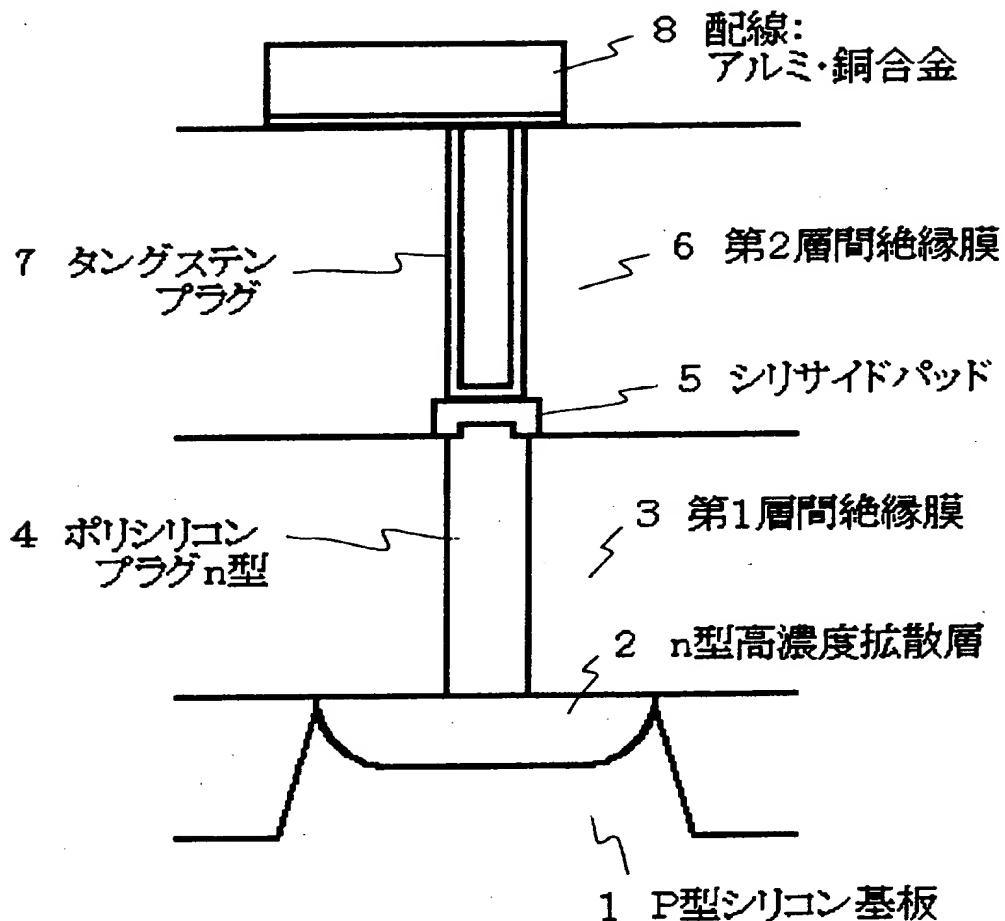
従来の半導体装置の断面構造の一例を示す図である。

【符号の説明】

- 1, 11 P型シリコン基板
- 2 n型高濃度拡散層
- 3, 15 第1層間絶縁膜
- 4, 17 ポリシリコンプラグ
- 5, 5a, 19 シリサイドパット
- 6, 20 第2層間絶縁膜
- 7, 21 タングステンプラグ
- 8 配線
- 12 ソースドレイン領域
- 13 素子分離絶縁膜
- 14 ゲート電極
- 16 ポリシリコン膜
- 18 チタン
- 22 第2配線

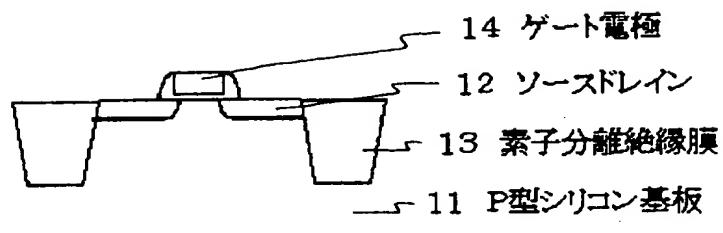
【書類名】 図面

【図1】

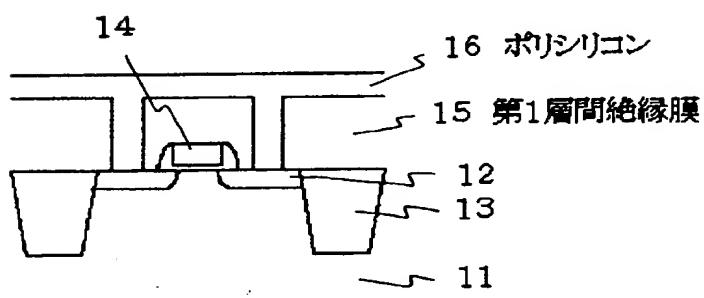


【図2】

(a)

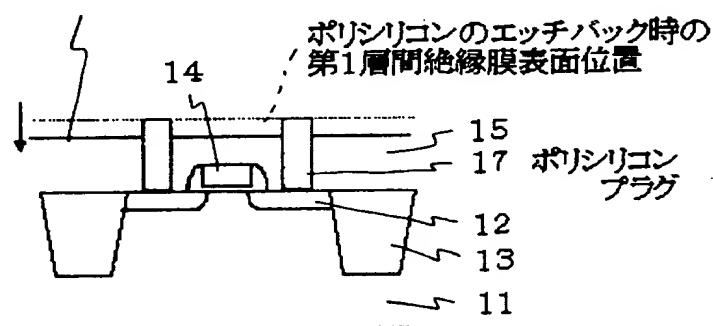


(b)



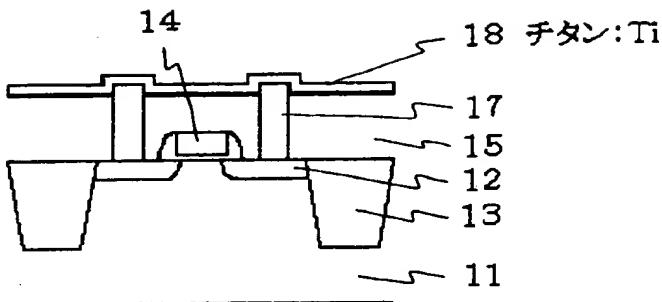
(c)

第1層間絶縁膜表面エッチ後の  
第1層間絶縁膜表面位置

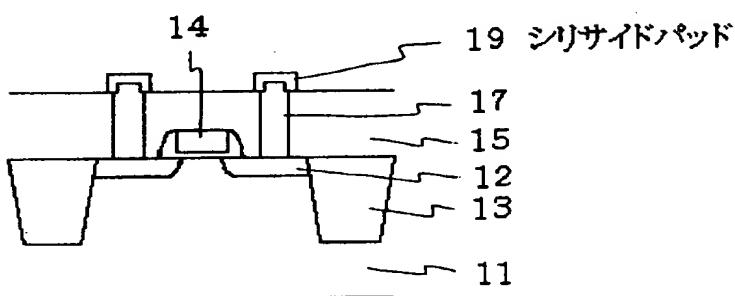


【図3】

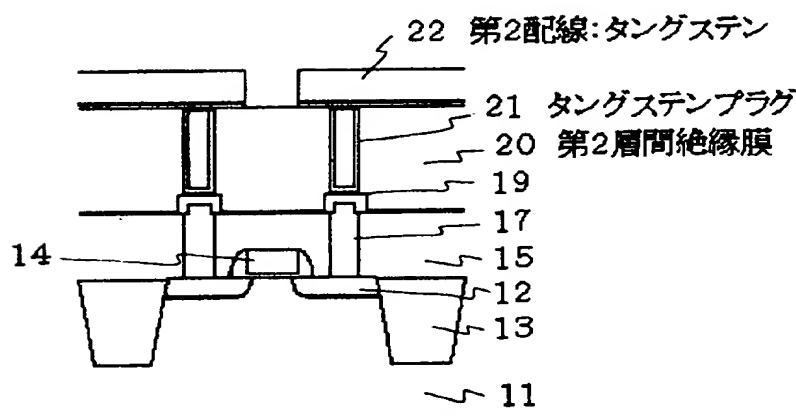
(a)



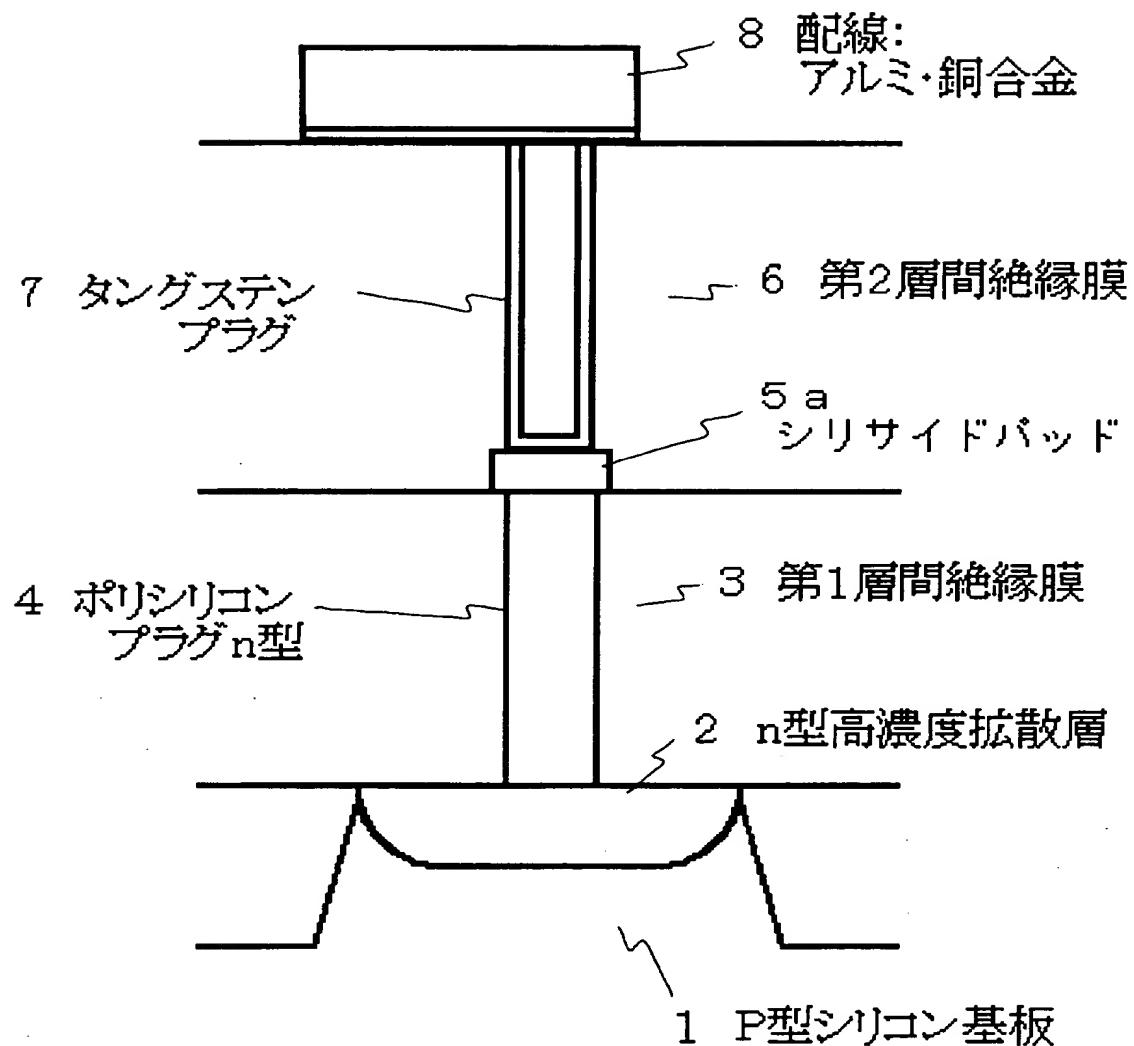
(b)



(c)

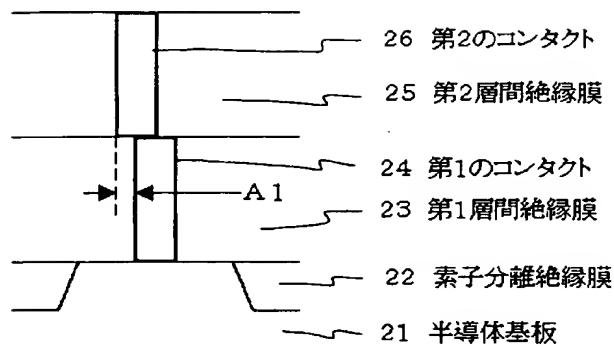


【図4】

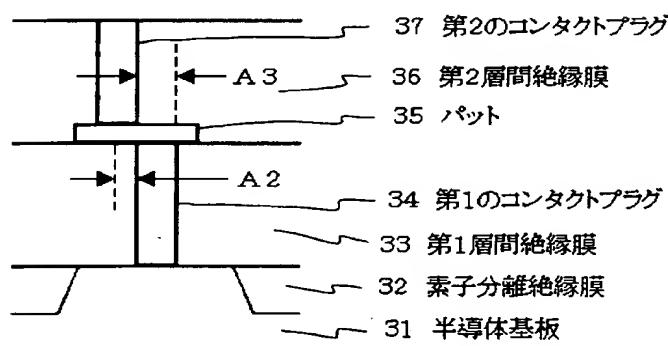


【図5】

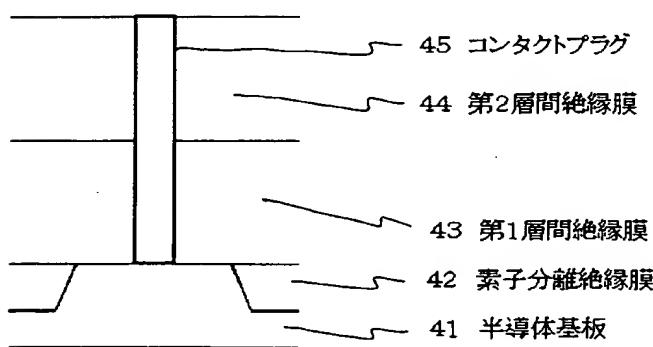
(a)



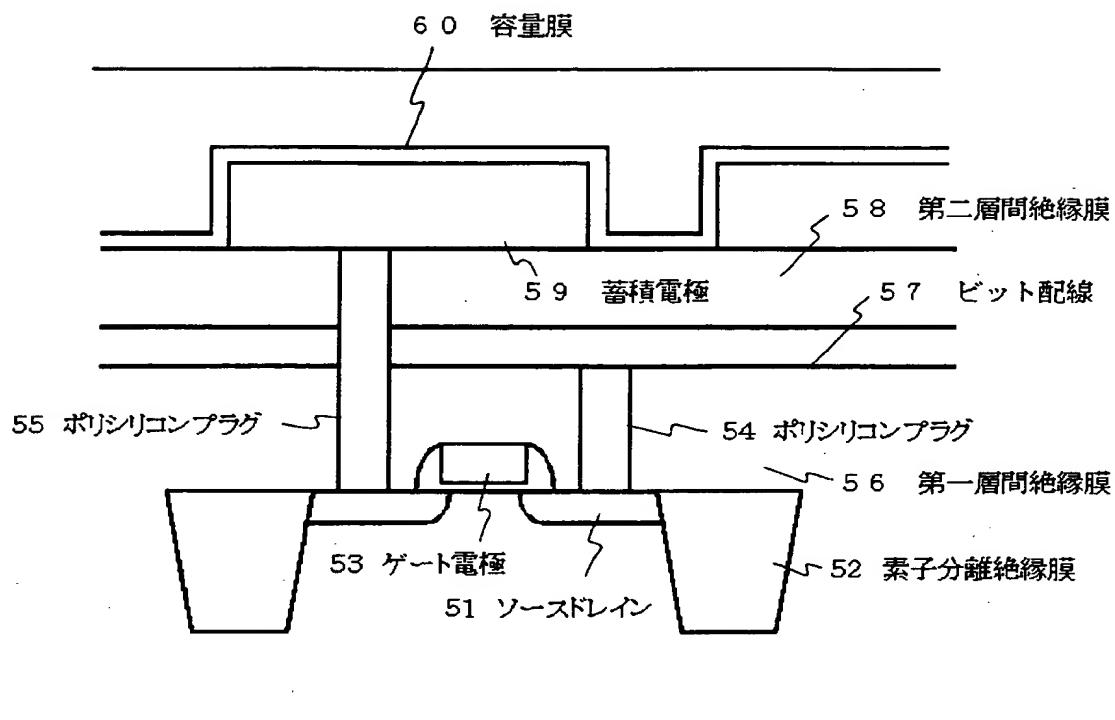
(b)



(c)



【図6】



【書類名】 要約書

【要約】

【課題】 不良の発生やコンタクト抵抗の増大を招くことなく、コンタクトプラグの接続不良を少なくすることが可能な半導体装置の構造を提供する。

【解決手段】 P型シリコン基板1上には選択的にn型高濃度拡散層2が形成され、その表面には第1層間絶縁膜3としてシリコン酸化膜が配置されている。n型高濃度拡散層2上にはポリシリコンプラグ4が配置されている。ポリシリコンプラグ4の上面の端部にはシリサイドパット5がポリシリコンプラグ4に対して自己整合的に、かつその幅がポリシリコンプラグ4の幅よりも大きくなるように配置されている。第1層間絶縁膜3及びシリサイドパット5を覆って第2層間絶縁膜6が配置され、シリサイドパッド5上にはタングステンプラグ7が配置されている。第2層間絶縁膜上にはタングステンプラグ7に接続されてアルミと銅との合金で形成された配線8が形成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社